

MOSFET AND MANUFACTURE THEREOF

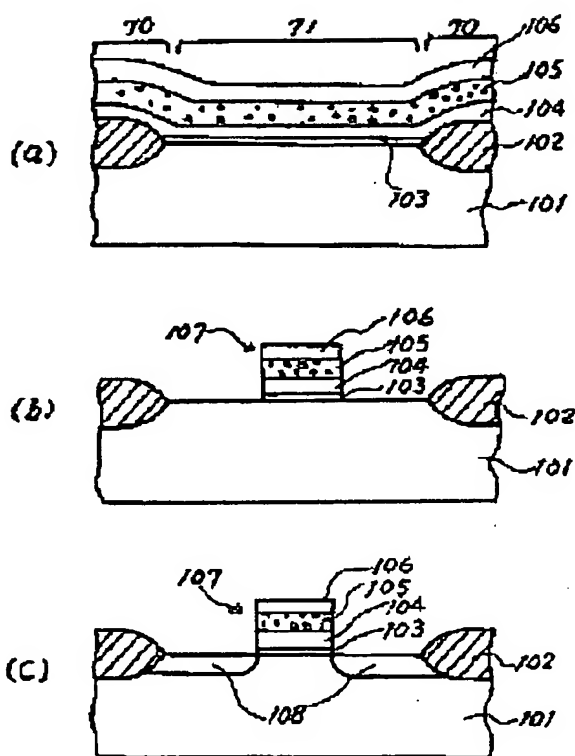
Patent number: JP6005852
Publication date: 1994-01-14
Inventor: KOBAYASHI YASUTAKA; others: 01
Applicant: OKI ELECTRIC IND CO LTD
Classification:
- international: H01L29/784; H01L21/28; H01L29/62
- european:
Application number: JP19920165000 19920623
Priority number(s):

Report a data error here

Abstract of JP6005852

PURPOSE: To implement a surface channel type device and reduce a wiring resistance of an electrode and stabilize MOS characteristics capable of controlling a deterioration of a gate breakdown strength or the like.

CONSTITUTION: In a manufacture of a MOSFET, a gate oxide film 103 is formed on a conductive type semiconductor substrate or a gate forming region of a semiconductor layer, and a titanium nitride film 104 made of a first high-melting metal film is formed on the gate oxide film 103, and a tungsten film 105 made of a second high-melting metal film having a stress opposed to the titanium nitride film 104 is formed on the titanium nitride film 104, and a patterning is performed by a photolithography technique, and a gate electrode is formed with the titanium nitride film 104 and the tungsten film 105.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-5852

(43)公開日 平成6年(1994)1月14日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
21/28	3 0 1 R	9055-4M		
29/62	G	9055-4M		
		7377-4M		
			H 0 1 L 29/ 78	3 0 1 G

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号 特願平4-165000

(22)出願日 平成4年(1992)6月23日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 小林 康孝

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

(72)発明者 市川 文雄

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

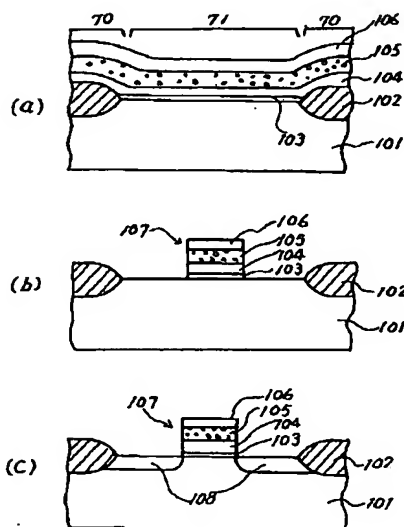
(74)代理人 弁理士 清水 守 (外2名)

(54)【発明の名称】 MOSFET及びその製造方法

(57)【要約】

【目的】 表面チャネル型デバイスを実現し、かつ、電極の配線抵抗が低く、しかも、ゲート耐圧劣化等が抑制されるMOS特性を安定化する。

【構成】 MOSFETの製造方法において、第1導電型の半導体基板あるいは半導体層のゲート形成領域上にゲート酸化膜103を形成し、そのゲート酸化膜103上に第1の高融点金属膜である窒化チタン膜104を形成し、その窒化チタン膜104上にその窒化チタン膜104とは相反する応力をもつ第2の高融点金属膜であるタングステン膜105を形成し、ホトリソグラフィ技術によりパターニングを行い、前記窒化チタン膜104とタングステン膜105によりゲート電極を形成する。



101: 基板	102: 7-1-ルド酸化膜
103: ゲート酸化膜	104: 窒化チタン膜
105: タングステン膜	106: 酸化膜
107: ゲート電極	108: 高温度不純物拡散層

1

【特許請求の範囲】

【請求項1】(a) 半導体基板と、

(b) 該半導体基板の表層に形成されたソース及びドレイン領域と、

(c) 該ソース及びドレイン領域間の前記半導体基板上に形成されたゲート酸化膜と、

(d) 該ゲート酸化膜上に形成された第1の高融点金属膜と、

(e) 該第1の高融点金属膜上に形成され、かつ該第1の高融点金属膜とは相反する応力をもつ第2の高融点金属膜とを具備することを特徴とするMOSFET。 10

【請求項2】(a) 第1導電型の半導体基板あるいは半導体層のゲート形成領域上にゲート酸化膜を形成する工程と、

(b) 該ゲート酸化膜上に第1の高融点金属膜を形成する工程と、

(c) 該第1の高融点金属膜上に該第1の高融点金属膜とは相反する応力をもつ第2の高融点金属膜を形成する工程と、

(d) ホトリソグラフィ技術によりパターニングを行い、前記第1の高融点金属膜と前記第2の高融点金属膜によりゲート電極を形成する工程を施すことを特徴とするMOSFETの製造方法。 20

【請求項3】(a) 第1導電型の半導体基板あるいは半導体層のゲート形成領域上にゲート酸化膜を形成する工程と、

(b) 該ゲート酸化膜上に第1の高融点金属膜を形成する工程と、

(c) 該第1の高融点金属膜上に該第1の高融点金属膜とは相反する応力をもつ第2の高融点金属膜を形成する工程と、 30

(d) 該第2の高融点金属膜上に反射防止膜を形成する工程と、

(e) ホトリソグラフィ技術によりパターニングを行い、前記第1の高融点金属膜、前記第2の高融点金属膜及び反射防止膜によりゲート電極を形成する工程を施すことを特徴とするMOSFETの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ゲート電極に高融点金属を有するMOSFET及びその製造方法に関するものである。 40

【0002】

【従来の技術】従来、このような分野の技術としては、例えば、以下に示すようなものがあった。図2はかかる従来のMOSFETの製造工程断面図である。なお、このようなMOSFETの製造方法は、現在ではLDD構造などに広く応用され、その一例として、詳しくはIEDM'83 P. 392~395に示されている。

【0003】まず、図2(a)に示すように、通常の選 50

2

択酸化法(LOCOS法)により、シリコン単結晶半導体基板(以下、基板という)1にフィールド酸化膜2を形成し、アクティブ領域11とフィールド領域12を分離する。次に、図2(b)に示すように、トランジスタのゲート酸化膜3、及びゲート電極4を全面に形成した後、ホトリソグラフィ技術によりパターニングを行い、ゲート電極4を形成する。

【0004】次に、図2(c)に示すように、ゲート電極4をマスクとして、例えば、Nチャンネルトランジスタの場合では、ヒ素の不純物をイオン注入することにより、基板1のソース/ドレイン形成領域の全体に自己整合的に高濃度の不純物拡散層5を形成するようにしている。

【0005】

【発明が解決しようとする課題】しかしながら、上記した従来のMOSFETでは、ゲート電極として使用する材料によって以下のような問題点があった。まず、電極材料として多結晶シリコン膜を使用した場合は、金属材料に比べて比抵抗が高く、信号遅延が顕在化してくる。また、低抵抗化のために多結晶シリコン膜上にタングステンやモリブデンのような高融点金属を形成するポリサイド構造を使用した場合でも、金属材料単体の場合に比べて、数ケタも比抵抗が大きく、かつ表面チャネル型デバイスを実現する異極性ゲート電極方式をとろうとするとプロセスが複雑になる。

【0006】更に進んで、高融点金属そのものをゲート電極として用いる試みもなされているが、タングステンなどでは膜応力の大きいことによるゲート耐圧やホットキャリア劣化現象が発生するなど、技術的に満足できるものは得られなかった。本発明は、以上述べたような問題点を解決するために、表面チャネル型デバイスを実現し、かつ、電極の配線抵抗が低く、しかも、ゲート耐圧劣化等が抑制されるMOS特性を安定化することができるMOSFET及びその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、上記目的を達成するために、MOSFETにおいて、半導体基板と、この半導体基板の表層に形成されたソース及びドレイン領域と、このソース及びドレイン領域間の前記半導体基板上に形成されたゲート酸化膜と、このゲート酸化膜上に形成された第1の高融点金属膜と、この第1の高融点金属膜上に形成され、かつ該第1の高融点金属膜とは相反する応力をもつ第2の高融点金属膜とを設けるようにしたものである。

【0008】また、MOSFETの製造方法において、第1導電型の半導体基板あるいは半導体層のゲート形成領域上にゲート酸化膜を形成し、このゲート酸化膜上に第1の高融点金属膜を形成し、この第1の高融点金属膜上に該第1の高融点金属膜とは相反する応力をもつ第2

3

の高融点金属膜を形成し、ホトリソグラフィ技術によりパターンニングを行い、前記第1の高融点金属膜と前記第2の高融点金属膜によりゲート電極を形成するようにしたものである。

【0009】更に、第1導電型の半導体基板あるいは半導体層のゲート形成領域上にゲート酸化膜を形成し、このゲート酸化膜上に第1の高融点金属膜を形成し、この第1の高融点金属膜上に該第1の高融点金属膜とは相反する応力をもつ第2の高融点金属膜を形成し、この第2の高融点金属膜上に反射防止膜を形成し、ホトリソグラフィ技術によりパターンニングを行い、前記第1の高融点金属膜、前記第2の高融点金属膜及び反射防止膜によりゲート電極を形成するようにしたものである。

【0010】

【作用】本発明によれば、ゲート電極材料として、高融点金属を使用するとともに、その下部にパッド・メタルとして、更にもう一種類の別な相反する応力をもつ高融点金属を併用する。したがって、ゲート酸化膜にかかる応力が緩和され、ゲート耐圧やホットキャリアの劣化を抑制することができる。

【0011】しかも、ポリサイド構造ではなく、金属材料のみでゲート電極を構成できるため、配線抵抗を低くすることができるだけでなく、表面チャネル型デバイスの製造に対してもプロセスが簡単になる。

【0012】

【実施例】以下、本発明の実施例について図を参照しながら詳細に説明する。図1は本発明の実施例を示す半導体装置の製造工程断面図である。まず、図1(a)に示すように、シリコン単結晶半導体基板（以下、基板という）101上に、図示しないがシリコン窒化膜を耐酸化マスクとして用いる通常の選択酸化法（LOCOS法）により、フィールド酸化膜102（例えば、5000Å）を形成し、アクティブ領域71とフィールド領域70を分離する。

【0013】次いで、アクティブ領域71の基板101上の表面に、熱酸化によってゲート酸化膜103（例えば、100～200Å）を形成し、更にその上を含む全面に、例えば圧縮応力をもつ窒化チタン膜104（500～1000Å）をスパッタ法により形成する。次いで、その上を含む全面に、例えば引張り応力をもつタングステン膜105（1000～2000Å）をスパッタ法あるいはCVD（化学的気相成長）法を用いて形成した後、更にその上を含む全面にCVD法により、酸化膜106（例えば、500Å）を形成する。

【0014】次に、図1(b)に示すように、ホトリソグラフィ技術により、図示しないがホトレジストをマスクとして酸化膜106、タングステン膜105、窒化チタン膜104、ゲート酸化膜103をエッチングし、ゲート電極107を形成する。レジスト除去後、図1

(c)に示すように、酸化膜106をマスクとして、例

4

えばNチャンネルトランジスタの場合、ヒ素などの不純物をイオン注入法を用いて基板101に注入することにより、基板101のソース/ドレイン形成領域中、ゲート電極107に隣接する部分に自己整合的に高濃度不純物拡散層108を形成する。ここで、酸化膜106はイオン注入時のマスクとなっているとともに、タングステン膜105の反射率を低減する働きをしている。

【0015】その後は、図示はしていないが、中間絶縁膜、配線用金属パターン及び保護用絶縁膜を公知の技術により形成し、各種構造のMOSFETを完成させる。図3は本発明の他の実施例を示す半導体装置の製造工程断面図である。なお、前記した実施例と同様の部分については、同じ番号を付してその説明を省略する。

【0016】まず、図3(a)に示すように、前記実施例と同様に、基板101上にフィールド酸化膜102を形成し、アクティブ領域71とフィールド領域70を分離する。次に、アクティブ領域71の基板101上の表面に、熱酸化によってゲート酸化膜103を形成し、更にその上を含む全面に、例えば圧縮応力をもつ窒化チタン膜104をスパッタ法により形成する。

【0017】次いで、更にその上を含む全面に、例えば引張り応力をもつタングステン膜105をスパッタ法、あるいはCVD（化学的気相成長）法を用いて形成する。更に、そのタングステン膜105上には全面にCVD法により、反射防止金属（ARM：アンチ・リフレクト・メタル）膜201（例えば、窒化チタン膜）を形成する。

【0018】次に、図3(b)に示すように、ホトリソグラフィ技術により、図示しないがホトレジストをマスクとして反射防止金属膜201、タングステン膜105、窒化チタン膜104、ゲート酸化膜103をエッチングし、ゲート電極202を形成する。レジスト除去後、図3(c)に示すように、反射防止金属膜201をマスクとして、例えばNチャンネルトランジスタの場合、ヒ素などの不純物をイオン注入法を用いて基板101に注入することにより、基板101のソース/ドレイン形成領域中、ゲート電極202に隣接する部分に自己整合的に高濃度不純物拡散層108を形成する。ここで、反射防止金属膜201はイオン注入時のマスクとなっているとともに、タングステン膜105の反射率を低減する働きをしている。

【0019】その後は、図示はしていないが、中間絶縁膜、配線用金属パターン及び保護用絶縁膜を公知の技術により形成し、各種構造のMOSFETを完成させる。なお、この実施例では、基板101に素子を形成するようにしたが、この基板101上に半導体層を成長させて、その半導体層上に同様に素子を形成させるようにしても良いし、上記材料、寸法、形状、配置関係、数値的条件またはその他の条件は、本発明の目的の範囲内で任意に適宜な設計の変更及び変形を行うことができること

は言うまでもない。

【0020】

【発明の効果】以上、詳細に説明したように、本発明によれば、ゲート電極材料として、引張り応力をもつタングステンと、圧縮応力をもつ窒化チタンを併用しているため、ゲート酸化膜にかかる応力が緩和され、ゲート耐圧やホットキャリアの劣化を抑制することができる。

【0021】しかも、ポリサイド構造ではなく、金属材料のみでゲート電極を構成できるため、配線抵抗を低くすることができるだけでなく、表面チャネル型デバイス 10 の製造に対してもプロセスが簡単になる。

【図面の簡単な説明】

【図1】本発明の実施例を示す半導体装置の製造工程断面面図である。

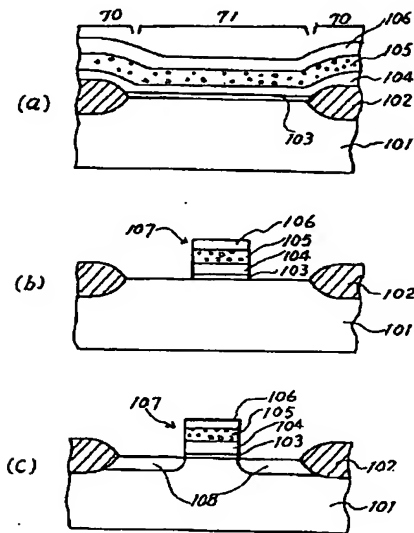
【図2】従来の半導体装置の製造工程断面面図である。 *

*【図3】本発明の他の実施例を示す半導体装置の製造工程断面面図である。

【符号の説明】

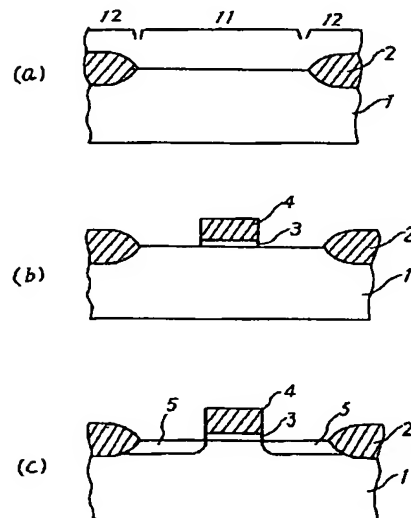
- 70 アクティブ領域
- 71 フィールド領域
- 101 シリコン単結晶半導体基板
- 102 フィールド酸化膜
- 103 ゲート酸化膜
- 104 窒化チタン膜
- 105 タングステン膜
- 106 酸化膜
- 107, 202 ゲート電極
- 108 高濃度不純物拡散層
- 201 反射防止（ARM：アンチ・リフレクト・メタル）膜

【図1】



- 101: 基板
- 102: フィールド酸化膜
- 103: ゲート酸化膜
- 104: 窒化チタン膜
- 105: タングステン膜
- 106: 酸化膜
- 107: ゲート電極
- 108: 高濃度不純物拡散層

【図2】



【図3】

